

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-231547

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

G11B 20/14

(21)Application number : 05-015000

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 01.02.1993

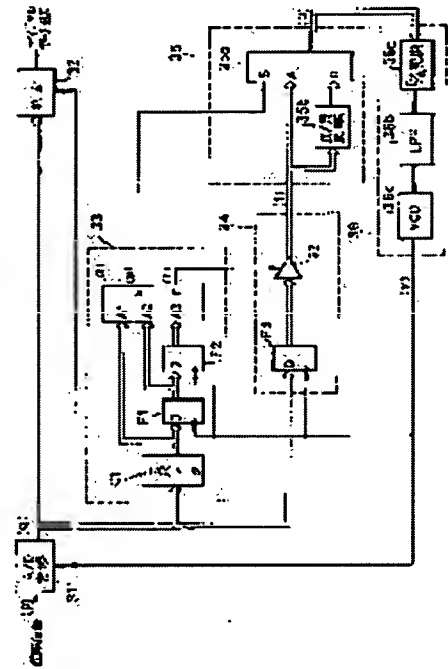
(72)Inventor : HAYASHI HIDEKI

(54) DIGITAL SIGNAL REPRODUCER

(57)Abstract:

PURPOSE: To correct a sampling clock by detecting a section in which a sampled value obtained by sampling a read signal is continuously increased or decreased for a predetermined time.

CONSTITUTION: A pattern detector 33 supplies, when a data row pattern of a sampled value (q) varying by continuously increasing or decreasing from a sampled value (q) to be supplied is detected, a detection flag (r) of a logic [1] to a level detector 34. Further, the detector 33 supplies a decision flag (s) of a logic [0], when a data row pattern of a sampled value (q) varying by continuously increasing is detected, and a decision flag (s) of a logic [1], when a data row pattern of a sampled value (q) varying by continuously decreasing is detected, to a polarity switching circuit 35. For example, it detects a section in which 3 clocks of sampled clocks are continuously increased or decreased, and corrects a phase of the sampled clock based on the sampled value obtained at an intermediate point of the section.



LEGAL STATUS

[Date of request for examination] 17.01.2000

[Date of sending the examiner's decision of rejection] 25.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-231547

(43) 公開日 平成6年(1994)8月19日

(51) Int. Cl. ⁵

G11B 20/14

識別記号

351

庁内整理番号

A 7736-5D

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全7頁)

(21) 出願番号 特願平5-15000

(22) 出願日 平成5年(1993)2月1日

(71) 出願人 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 林 英樹

埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

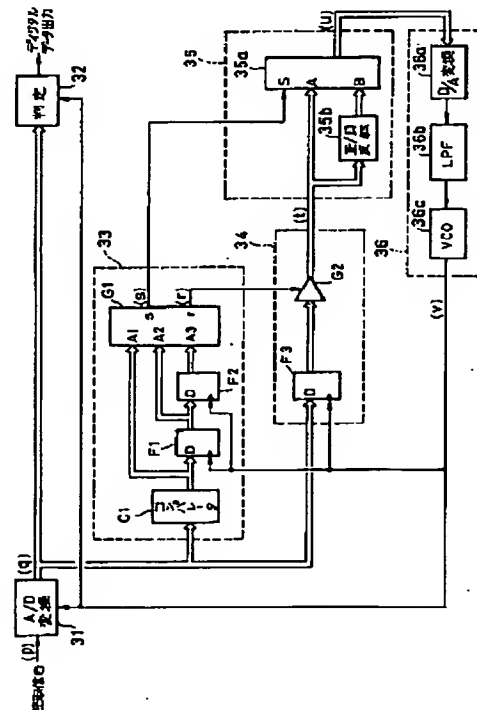
(74) 代理人 弁理士 藤村 元彦

(54) 【発明の名称】 デジタル信号再生装置

(57) 【要約】

【目的】 3値もしくは5値の読取信号からサンプリングクロックの位相補正が可能なデジタル信号再生装置を提供することを目的とする。

【構成】 読取信号をサンプリングして得られたサンプル値が所定時間に亘り連続増加もしくは連続減少する区間を検出し、この検出区間の中間点にて得られたサンプル値に基づいてサンプリングクロックの位相補正を行う。



【特許請求の範囲】

【請求項 1】 デジタル信号が記録されている記録媒体から読取られる読取信号からデジタル信号を再生するデジタル信号再生装置であって、前記読取信号をサンプリングクロックのタイミングにて順次サンプリングしてデジタルのサンプル値に変換する A/D 変換器と、前記サンプル値が所定時間に亘り連続増加もしくは連続減少する区間を検出する検出手段と、前記検出手段による検出区間の中間点において得られた前記サンプル値の大きさに応じたレベルを有する位相誤差信号を生成する位相誤差信号生成手段と、前記位相誤差信号のレベルに基づいて位相補正したクロックを前記サンプリングクロックとして発生するクロック発生手段とを有することを特徴とするデジタル信号再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、記録媒体に記録されているデジタル信号の再生装置に関する。

【0002】

【従来の技術】 記録媒体から読取られた読取信号の信号レベルと所定スライスレベルとの電圧比較を行ない、このスライスレベルを閾値としてデジタルデータの「1」及び「0」の再生を行うデジタル信号再生装置が知られている。図 1 にデジタル信号再生装置の従来例の構成、図 2 にかかる構成の回路による動作の一例を示す。

【0003】 記録媒体から読取られた読取信号 (a) はコンパレータ 1 に供給される。コンパレータ 1 は、読取信号 (a) のレベルとスライスレベル (b) とのレベル比較を行ない、読取信号 (a) がスライスレベル (b) 以上であるときは高レベル「1」、読取信号 (a) がスライスレベル (b) 未満であるときは低レベル「0」の 2 値信号 (c) を判定回路 2 及びクロック発生回路 3 に供給する。クロック発生回路 3 は、2 値信号 (c) のエッジタイミングと位相同期したクロック (d) を発生する。判定回路 2 は、コンパレータ 1 から出力された 2 値信号 (c) をクロック発生回路 3 から供給されるクロック (d) のタイミングでサンプリングし、デジタルデータ出力 (e) を出力する。

【0004】 以上の如く、従来のデジタル信号再生装置においては、読取信号と所定スライスレベルとの交錯点にサンプリングクロックの位相を合わせる構成としている。よって、このサンプリングクロックは、読取信号が「1」から「0」もしくは「0」から「1」へ変化する際の中間のタイミング、すなわち読取信号の信号レベルがこの読取信号自体がもつ最大振幅の中心レベルとなるタイミングに位相同期することになり、読取信号に対して正確なタイミングでサンプリングすることが可能と

なる。

【0005】 しかしながら、読取信号が 3 値、5 値等の多値信号となるパーシャルレスポンス方式を採用した再生装置においては、読取信号が最大振幅の中心レベル付近で変化せず、平坦な波形となることがある。このような場合、読取信号と所定スライスレベルは無数の交錯点を持つことになり、正しくサンプリングクロックの位相補正ができないという問題があった。

【0006】

10 【発明が解決しようとする課題】 本発明は、かかる問題を解決すべくなされたものであり、読取信号が 3 値、5 値等の多値信号となるパーシャルレスポンス方式においてもサンプリングクロックの位相補正が可能なデジタル信号再生装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 デジタル信号が記録されている記録媒体から読取られる読取信号からデジタル信号を再生するデジタル信号再生装置であって、前記読取信号をサンプリングクロックのタイミングにて順次サンプリングしてデジタルのサンプル値に変換する A/D 変換器と、前記サンプル値が所定時間に亘り連続増加もしくは連続減少する区間を検出する検出手段と、前記検出手段による検出区間の中間点において得られた前記サンプル値の大きさに応じたレベルを有する位相誤差信号を生成する位相誤差信号生成手段と、前記位相誤差信号のレベルに基づいて位相補正したクロックを前記サンプリングクロックとして発生するクロック発生手段とを有する。

【0008】

30 【作用】 読取信号をサンプリングして得られたサンプル値が所定時間に亘り連続増加もしくは連続減少する区間を検出し、この区間の中間点にて得られたサンプル値に基づいてサンプリングクロックの位相補正を行う。

【0009】

【実施例】 以下、本発明の実施例について説明する。図 3 に本発明によるデジタル信号再生装置の構成を示す。図において、A/D 変換器 3 1 は、供給された読取信号 (p) をクロック発生回路 3 6 から供給されるサンプリングクロック (v) のタイミングにてサンプリングし、デジタル値のサンプル値 (q) を判定回路 3 2、パターン検出回路 3 3 及びレベル検出回路 3 4 に夫々供給する。判定回路 3 2 は、サンプリングクロック (v) のタイミングにてサンプル値 (q) を取り込み、取り込んだサンプル値 (q) を用いて元のデジタルデータ信号を推定して出力する。この判定回路 3 2 は、例えばビタビ復号回路などからなり、供給されるサンプル値 (q) の前後関係から、所定のアルゴリズムを用いて誤り率の低いデータを選出して出力する。パターン検出回路 3 3 は、供給されるサンプル値 (q) から、連続増加もしくは連続減少にて変化するサンプル値 (q) のデ

ータ列パターンを検出した時に論理「1」の検出フラグ (r) をレベル検出回路 3 4 に供給する。又、パターン検出回路 3 3 は、連続増加にて変化するサンプル値

(q) のデータ列パターンを検出した時に論理「0」、連続減少にて変化するサンプル値 (q) のデータ列パターンを検出した時に論理「1」の判定フラグ (s) を極性切換回路 3 5 に供給する。レベル検出回路 3 4 は、A/D 変換器 3 1 から供給されるサンプル値 (q) の内、検出フラグ (r) が論理「1」の際に供給されたサンプル値 (q) のみを通過させ、サンプルレベル信号 (t) 10 として極性切換回路 3 5 に供給する。極性切換回路 3 5 は、判定フラグ (s) が「0」の時は供給されたサンプルレベル信号 (t) を位相誤差信号 (u) としてクロック発生回路 3 6 に供給し、判定フラグ (s) が「1」である時は供給されたサンプルレベル信号 (t) の極性を反転させた信号を位相誤差信号 (u) としてクロック発生回路 3 6 に供給する。クロック発生回路 3 6 は、位相誤差信号 (u) にて位相補正されたサンプリングクロック (v) を発生して、A/D 変換器 3 1、判定回路 3 2、パターン検出回路 3 3 及びレベル検出回路 3 4 に夫々供給する。

【0010】次に、パターン検出回路 3 3 の内部構成について説明する。コンパレータ C 1 は、供給されたサンプル値 (q) を 2 つの閾値 x_0 及び x_1 にて、例えば「0」、「1」、「2」の 3 値に変換し、変換した 3 値信号をフリップフロップ F 1 及びパターン検出ゲート回路 G 1 の A 1 端子に夫々供給する。フリップフロップ F 1 は、供給された 3 値信号をサンプリングクロック (v) のタイミングにて取り込み、フリップフロップ F 2 及びパターン検出ゲート回路 G 1 の A 2 端子に夫々供給する。フリップフロップ F 2 は、フリップフロップ F 1 から供給された 3 値信号をサンプリングクロック (v) のタイミングにて取り込み、パターン検出ゲート回路 G 1 の A 3 端子に供給する。以上の如き構成により、パターン検出ゲート回路 G 1 の A 1、A 2 及び A 3 端子には、A/D 変換器 3 1 から連続して供給される 3 個のサンプル値 (q) を 3 値化した信号が供給される。パターン検出ゲート回路 G 1 は、例えば図 4 に示される真理値表に基づいて構成されるゲート回路であり、その「A 1、A 2、A 3」端子に、「0、1、2」もしくは「2、1、0」の 3 値信号パターンが供給された場合 40 にはのみ論理「1」の検出フラグ (r) を出力する。又、「A 1、A 2、A 3」端子に、「0、1、2」の 3 値信号パターンが供給された場合にはのみ論理「1」の判定フラグ (s) を出力する。すなわち、パターン検出回路 3 3 は、連続して供給される 3 個のサンプル値 (q) を 3 値化した信号を常時監視し、3 値信号としての連続増加を示す「2、1、0」なるデータ列、もしくは連続減少を示す「0、1、2」なるデータ列の検出を行って論理「1」の検出フラグ (r) を出力し、この際、データ列 50

が連続減少を示す「0、1、2」である時は、論理「1」の判定フラグ (s) を出力する。

【0011】次に、レベル検出回路 3 4 の内部構成について説明する。フリップフロップ F 3 は、供給されたサンプル値 (q) をサンプリングクロック (v) のタイミングにて取り込みゲート回路 G 2 に供給する。ゲート回路 G 2 は、検出フラグ (r) が論理「1」の時のみ、フリップフロップ F 3 から供給されるサンプル値 (q) を通過せしめてサンプルレベル信号 (t) として出力する。

【0012】以上の如き、パターン検出回路 3 3 及びレベル検出回路 3 4 の構成により、サンプル値 (q) が所定時間 (上述の実施例においては、サンプリングクロック 3 クロック分) に亘り連続増加もしくは連続減少した区間を検出し、検出した区間の中間点で得られたサンプル値をサンプルレベル信号 (t) として出力する。次に、極性切換回路 3 5 の内部構成について説明する。

【0013】レベル検出回路 3 4 から供給されたサンプルレベル信号 (t) は、マルチプレクサ 3 5 a の A 端子、及び正/負反転回路 3 5 b に夫々供給される。正/負反転回路 3 5 b は、供給されたサンプルレベル信号 (t) の値の極性 (マイナス/プラス) を反転させた信号をマルチプレクサ 3 5 a の B 端子に供給する。マルチプレクサ 3 5 a は、その S 端子に供給された判定フラグ (s) が「0」の時は、マルチプレクサ 3 5 a の A 端子に供給された信号を選択して位相誤差信号 (u) として出力し、判定フラグ (s) が「1」の時は、マルチプレクサ 3 5 a の B 端子に供給された信号を選択して位相誤差信号 (u) として出力する。すなわち、判定フラグ (s) が「0」の時はレベル検出回路 3 4 から供給されたサンプルレベル信号 (t) がそのまま位相誤差信号 (u) として出力され、判定フラグ (s) が「1」の時はサンプルレベル信号 (t) の極性を反転したものが位相誤差信号 (u) として出力される。

【0014】次に、クロック発生回路 3 6 の構成を示す。D/A 変換回路 3 6 a は、極性切換回路 3 5 から供給された位相誤差信号 (u) をアナログ電圧に変換してローパスフィルタ 3 6 b に供給する。ローパスフィルタ 3 6 b は、供給されたアナログ電圧を平均化して VCO 3 6 c に供給する。VCO 3 6 c は、ローパスフィルタ 3 6 b から供給された平均アナログ電圧に応じた発振周波数を有するサンプリングクロック (v) を発生出力する。以上の如き構成により、クロック発生回路 3 6 は位相誤差信号 (u) に応じて位相補正したサンプリングクロック (v) を出力する。

【0015】次に、図 3 の本発明によるデジタル信号再生装置の動作を図 5 の動作図を参照して説明する。図中の符号は図 3 に示された本発明のデジタル信号再生装置の各部の出力信号を示すものであり、図 3 と同一信号には同一符号が付されている。図において、レベル

「Po」を中心として振幅する読取信号(p)がA/D変換器31に供給される。A/D変換器31は、供給された読取信号(p)をサンプリングクロック(v)のタイミングにて取り込んでデジタルサンプル値に変換したK1~K12のサンプル値(q)を出力する。パターン検出回路33のコンパレータC1は、供給されたサンプル値(q)が閾値x0未満の場合は「0」、閾値x0以上x1未満の場合は「1」、閾値x1以上の場合は「2」の3値に変換した3値信号を出力する。フリップフロップF1及びF2は、コンパレータC1から供給された3値信号をサンプリングクロック(v)のタイミングにてシフトしつつ出力する。パターン検出ゲート回路G1は、コンパレータC1、フリップフロップF1及びF2の出力が「2、1、0」もしくは「0、1、2」となった時点において論理「1」の検出フラグ(r)を出力する。又、コンパレータC1、フリップフロップF1及びF2の出力が「0、1、2」となった時点において論理「1」の判定フラグ(s)を出力する。フリップフロップF3は、A/D変換器31から供給されるK1~K12のサンプル値(q)を1サンプリングクロック分だけ遅延して出力する。ゲート回路G2は、フリップフロップF3から供給されるK1~K12のサンプル値(q)の内、論理「1」の検出フラグ(r)が供給されている時点におけるサンプル値K3、K5及びK8のみをサンプルレベル信号(t)として出力する。極性切換回路35は、サンプルレベル信号(t)として供給されたサンプル値K3、K5及びK8の内、論理「1」の判定フラグ(s)が供給されている時点におけるサンプル値K5のみ、その極性を反転させて、夫々位相誤差信号(u)として出力する。クロック発生回路36は、位相誤差信号(u)にてサンプリングクロック(v)の位相補正を行う。

【0016】以上の如く、パターン検出回路33、レベル検出回路34及び極性切換回路35により、サンプル値(q)がサンプリングクロック(v)の3クロック分の区間に亘り連続増加もしくは連続減少したことを検出し、この区間のサンプル値の内、上述の3クロック分の2クロック目、すなわち3クロック分の区間の中間点にて得られたサンプル値を位相誤差信号(u)として出力する。

【0017】次に、位相誤差信号(u)によるサンプリングクロック(v)の位相補正動作を図6を参照しつつ説明する。図においては、読取信号(p)から連続増加{図(a)ないし(c)}もしくは連続減少{図(d)ないし(f)}を示すサンプル値(q1)、(q2)及び(q3)がA/D変換器31から出力された場合を示す。この際、図(a)ないし(c)の場合、読取信号(p)が連続増加を示すものであるため、このサンプル値の内、中心時点で得られたサンプル値(q2)が位相誤差信号(u)としてクロック発生回路36に供給され

る。又、図(d)ないし(f)の場合、読取信号(p)が連続減少を示すものであるため、このサンプル値の内、中心時点で得られたサンプル値(q2)の極性を反転した信号が位相誤差信号(u)としてクロック発生回路36に供給される。尚、図中の破線は、クロック発生回路36が発生する正常位相時のサンプリングクロック(v)のタイミング位置を示す。また、図中の一点鎖線はサンプル値の中心レベルQを示しており、このレベルQと位相誤差信号(u)のレベル差に応じてサンプリングクロック(v)の位相補正動作が行われる。

【0018】先ず、図6(a)においては、サンプル値(q1)、(q2)、(q3)は正常なタイミングでサンプリングされているので、サンプル値(q2)は一点鎖線で示される所定レベルQと等しくなる。従って、クロック発生回路36には、位相誤差信号(u)として、この所定レベルQが供給されることになる。よって、クロック発生回路36は現状の位相にてサンプリングクロック(v)の発生を行う。

【0019】次に、図6(b)においては、サンプル値(q1)、(q2)、(q3)は正常な位置よりも早いタイミングでサンプリングされているので、サンプル値(q2)は一点鎖線で示される所定レベルQよりも小なる値となる。従って、クロック発生回路36には、位相誤差信号(u)として、この所定レベルQよりもサンプル値(q2)の分だけ少ない値が供給されることになる。よって、この際、クロック発生回路36は、サンプル値(q2)に応じた分だけ位相を遅らせたサンプリングクロック(v)の発生を行い、クロックの位相進みを補正する。

【0020】次に、図6(c)においては、サンプル値(q1)、(q2)、(q3)は正常な位置よりも遅いタイミングでサンプリングされているので、サンプル値(q2)は一点鎖線で示される所定レベルQよりも大なる値となる。従って、クロック発生回路36には、位相誤差信号(u)として、この所定レベルQよりも大なる値が供給されることになる。よって、この際、クロック発生回路36は、サンプル値(q2)に応じた分だけ位相を進ませたサンプリングクロック(v)の発生を行い、クロックの位相遅れを補正する。

【0021】次に、図6(d)においては、サンプル値(q1)、(q2)、(q3)は正常なタイミングでサンプリングされているので、サンプル値(q2)は一点鎖線で示される所定レベルQと等しくなる。従って、クロック発生回路36には、位相誤差信号(u)として、この所定レベルQが供給されることになる。よって、クロック発生回路36は現状の位相にてサンプリングクロック(v)の発生を行う。

【0022】次に、図6(e)においては、サンプル値(q1)、(q2)、(q3)は正常な位置よりも早いタイミングでサンプリングされているので、サンプル値

(q2) は一点鎖線で示される所定レベルQよりも大なる値となる。ここで、サンプル値 (q1)、(q2)、(q3) は、連続減少を示すものであるため、このサンプル値 (q2) の極性を反転した信号が位相誤差信号 (u) としてクロック発生回路 36 に供給される。従って、クロック発生回路 36 には、位相誤差信号 (u) として、この所定レベルQよりもサンプル値 (q2) の分だけ少ない値が供給されることになる。よって、この際、クロック発生回路 36 は、サンプル値 (q2) に応じた分だけ位相を遅らせたサンプリングクロック (v) の発生を行い、クロックの位相進みを補正する。

【0023】次に、図6(f)においては、サンプル値 (q1)、(q2)、(q3) は正常な位置よりも遅いタイミングでサンプリングされているので、サンプル値 (q2) は一点鎖線で示される所定レベルQよりも大なる値となる。ここで、サンプル値 (q1)、(q2)、(q3) は、連続減少を示すものであるため、このサンプル値 (q2) の極性を反転した信号が位相誤差信号 (u) としてクロック発生回路 36 に供給される。従って、クロック発生回路 36 には、位相誤差信号 (u) として、この所定レベルQよりも大なる値が供給されることになる。よって、この際、クロック発生回路 36 は、サンプル値 (q2) に応じた分だけ位相を進ませたサンプリングクロック (v) の発生を行い、クロックの位相遅れを補正する。

【0024】尚、上述の実施例においては、記録媒体に3値信号が記録されている場合について説明したがこの3値に限定されるものではない。例えば、記録媒体に「-2、-1、0、1、2」なる5値信号が記録されている場合は、パターン検出回路 33 のコンパレータ C1 は、サンプル値 (q) からこの5値信号を判定するものとなる。さらに、パターン検出回路 33 は、この5値信

号において、連続増加を示す「-2、-1、0」、「-1、0、1」、「0、1、2」及び連続減少を示す「2、1、0」、「1、0、-1」、「0、-1、-2」なるデータ列パターンを検出する構成となる。

【0025】

【発明の効果】以上の如く本発明によるデジタル信号再生装置は、読取信号をサンプリングして得られたサンプル値が所定時間に亘り連続増加もしくは連続減少する区間を検出し、この検出区間の中間点にて得られたサンプル値に基づいてサンプリングクロックの位相補正を行う構成としている。

【0026】よって、本発明によれば、読取信号が3

値、5値等の多値信号となるパーシャルレスポンス方式を採用した再生装置においても、読取信号の振幅の中心に位相同期したサンプリングクロックにてデジタル信号の再生が可能となる。

【図面の簡単な説明】

【図1】従来のデジタル信号再生装置の構成図。

【図2】従来のデジタル信号再生装置における動作を示す図。

【図3】本発明によるデジタル信号再生装置の構成図。

【図4】パターン検出ゲート回路 G1 の真理値表を示す図。

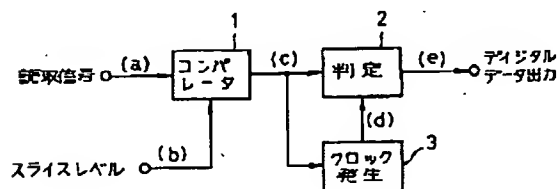
【図5】本発明によるデジタル信号再生装置の動作を示す図。

【図6】本発明によるクロック位相補正動作を示す図。

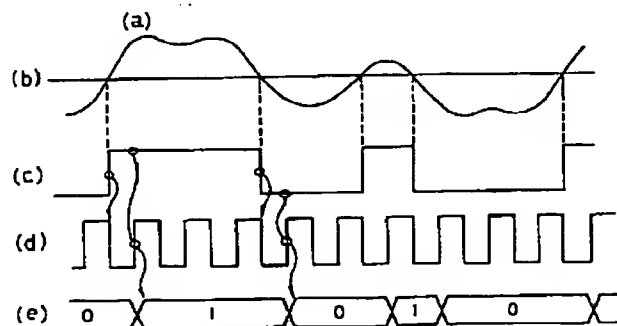
【主要部分の符号の説明】

33 パターン検出回路
34 レベル検出回路
35 極性切換回路

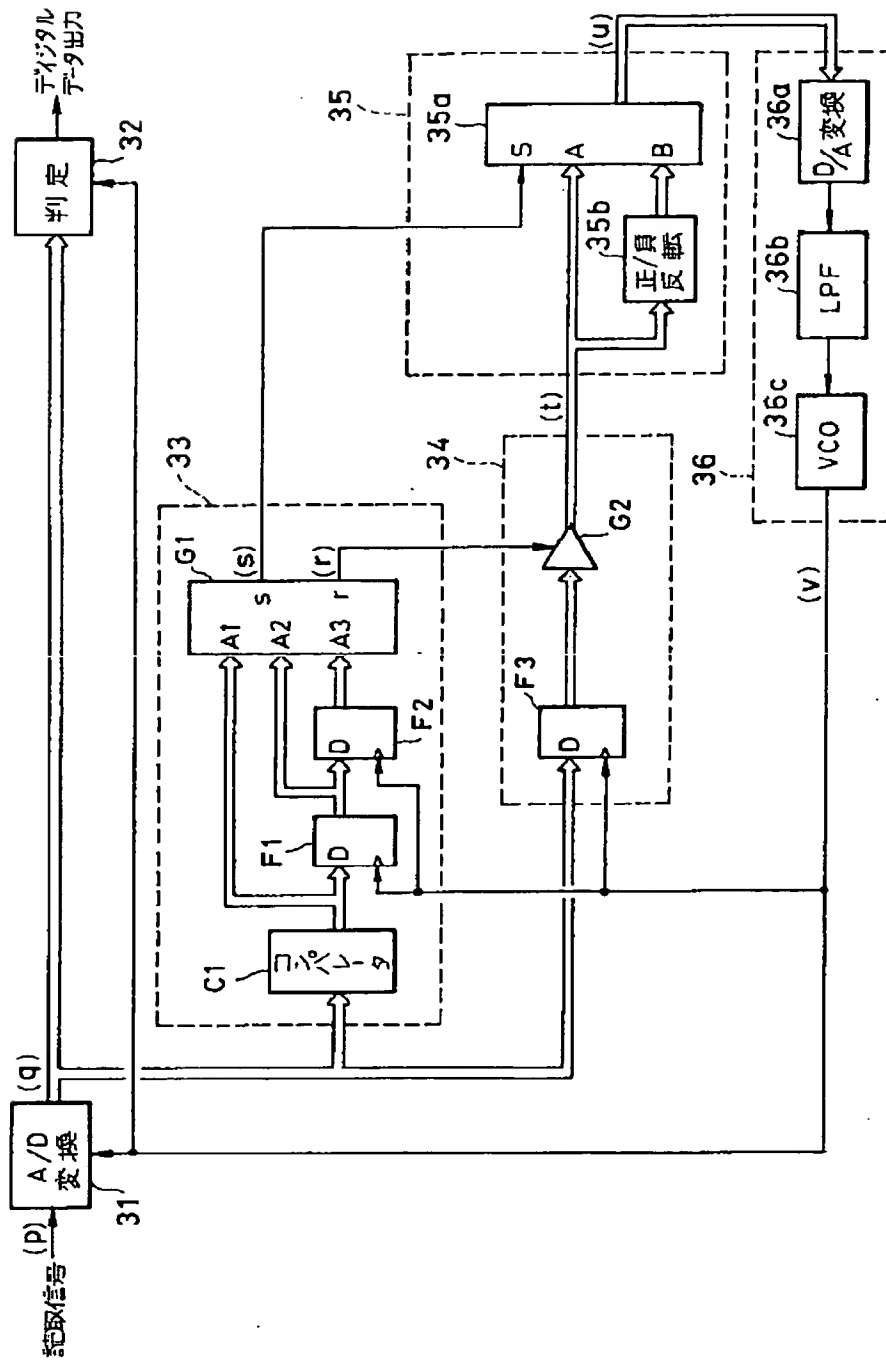
【図1】



【図2】



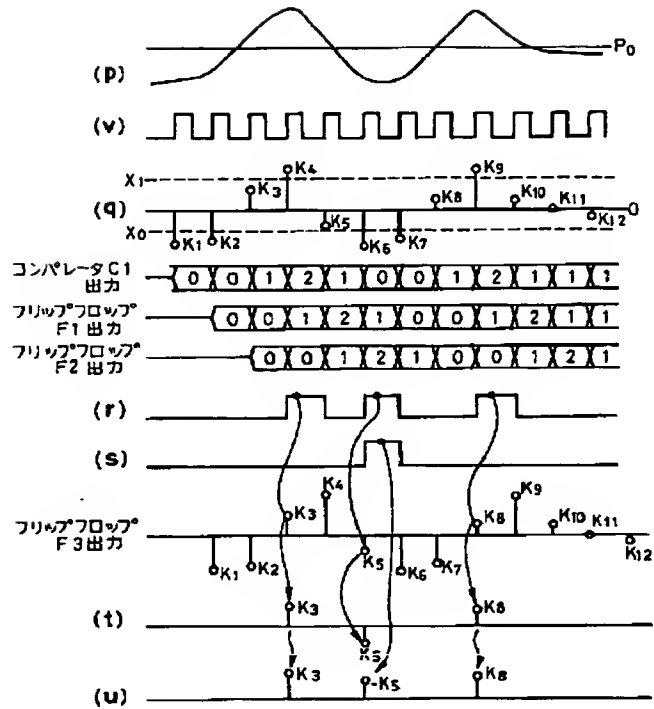
【図 3】



【図 4】

A1	A2	A3	r	s
0	0	0	0	0
0	0	1		
0	0	2		
0	1	0		
0	1	0		
0	1	1	1	1
0	1	2		
0	2	0		
?	?	?		
2	0	2		
2	1	0	0	0
2	1	1		
2	1	2		
2	2	2	0	0
2	2	2		

【図 5】



【図 6】

